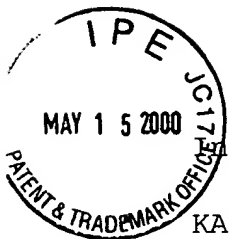


35.C14208

#3
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



re Application of:)
: Examiner: NYA
KAZYUKI SHIGETA)
: Group Art Unit: 2721
Application No.: 09/493,270)
:
Filed: January 28, 2000)
:
For: IMAGE PROCESSING DEVICE) May 12, 2000

Assistant Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicant hereby claims priority under the
International Convention and all rights to which they he is
entitled under 35 U.S.C. § 119 based upon the following Japanese
Priority Applications:

11-022751 filed January 29, 1999
11-310785 filed November 1, 1999

Certified copies of the priority documents are .
enclosed.

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,


Attorney for Applicant

Registration No. 25,823

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 82247 v 1

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

09/493.270
L7-014208
us/sas

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application

1999年 1月29日

出 願 番 号

Application Number:

平成11年特許願第022751号

出 願 人

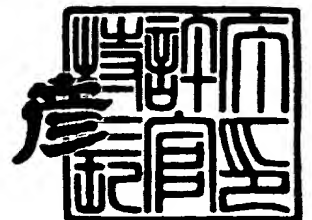
Applicant (s):

キヤノン株式会社

2000年 2月18日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3008109

【書類名】 特許願

【整理番号】 3910061

【提出日】 平成11年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/00

【発明の名称】 画像処理装置

【請求項の数】 14

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【氏名】 繁田 和之

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100086287

【弁理士】

【氏名又は名称】 伊東 哲也

【選任した代理人】

【識別番号】 100068995

【弁理士】

【氏名又は名称】 伊東 辰雄

【選任した代理人】

【識別番号】 100103931

【弁理士】

【氏名又は名称】 関口 鶴彦

【手数料の表示】

【予納台帳番号】 002048

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、第一のクロックと第一の画像同期信号により、このメモリ部へ画像データを書き込むための入力系の動作を行ない、第二のクロックと第二の画像同期信号により、このメモリ部から読み出した画像データを出力する出力系の動作を行なうメモリ制御部と、前記第二のクロックを作成するクロック発生部と、第二のクロックを入力し前記第二の画像同期信号を出力する同期制御部とからなる画像処理装置において、

前記同期制御部は、第二のクロックを分周して、第一の画像同期信号とは非同期の第三の画像同期信号と、第二のクロックにより、第一の画像同期信号を同期化して作成した第四の画像同期信号を作成するとともに、前記第三の画像同期信号と前記第四の画像同期信号を切り換えて、前記第二の画像同期信号として出力することを特徴とする画像処理装置。

【請求項 2】 前記同期制御部は、前記第一の画像同期信号の垂直周波数に応じて、前記第三の画像同期信号と前記第四の画像同期信号の一方を選択し、前記第二の画像同期信号として出力することを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記同期制御部は、出力する画像の使用目的に応じて、前記第三の画像同期信号と前記第四の画像同期信号の一方を選択し、前記第二の画像同期信号として出力することを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】 画像表示装置の信号処理部として用いられることを特徴とする請求項 1 ～ 3 のいずれかに記載の画像処理装置。

【請求項 5】 前記画像表示装置が、液晶の表示部を有するものであることを特徴とする請求項 4 記載の画像処理装置。

【請求項 6】 前記画像表示装置が、プラズマディスプレイまたは電荷放出型デバイスの表示部を有するものであることを特徴とする請求項 4 記載の画像処理装置。

【請求項 7】 複数の入力系信号処理部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、前記複数の入力系信号処理部に入力される複数の入力信号に同期した複数の第一のクロック群と第一の画像同期信号群を用いて、このメモリ部へ画像データを書き込むための入力系の動作を行ない、第二のクロックと第二の画像同期信号により、このメモリ部から読み出した画像データを出力する出力系の動作を行なうメモリ制御部と、前記第二のクロックを作成するクロック発生部と、第二のクロックを入力し前記第二の画像同期信号を出力する同期制御部からなる画像処理装置において、

前記同期制御部は、第二のクロックから分周され、第一の画像同期信号群とは非同期の第三の画像同期信号と、第二のクロックにより、第一の画像同期信号群をそれぞれ同期化して作成した第四の画像同期信号群を作成するとともに、前記第三の画像同期信号と前記第四の画像同期信号群の中から 1 つの画像同期信号を選択して、前記第二の画像同期信号として出力することを特徴とする画像処理装置。

【請求項 8】 前記同期制御部は、前記第一の画像同期信号群の任意の信号の垂直周波数に応じて、前記第三の画像同期信号と前記第四の画像同期信号群の中から 1 つの画像同期信号を選択し、前記第二の画像同期信号として出力することを特徴とする請求項 7 記載の画像処理装置。

【請求項 9】 前記同期制御部は、出力する画像の使用目的に応じて、前記第三の画像同期信号と前記第四の画像同期信号群の中から 1 つの画像同期信号を選択し、前記第二の画像同期信号として出力することを特徴とする請求項 7 記載の画像処理装置。

【請求項 10】 前記同期制御部は、前記複数の入力系信号処理部に入力する信号の動画の有無や割合に応じて、前記第三の画像同期信号と前記第四の画像同期信号群の中から 1 つの画像同期信号を選択し、前記第二の画像同期信号として出力することを特徴とする請求項 7 記載の画像処理装置。

【請求項 11】 前記画像処理装置は、前記複数の入力系信号処理部に入力する信号源に対して、入力する画像信号を設定、あるいは再設定する要求を出力するとともに、前記第三の画像同期信号と前記第四の画像同期信号群の中から選

択して出力する第二の画像同期信号に同期していない任意の入力信号源に対して、第二の画像同期信号に同期する要求を出力する手段を有することを特徴とする請求項 7 ～ 1 0 のいずれかに記載の画像処理装置。

【請求項 1 2】 画像表示装置の信号処理部として用いられることを特徴とする請求項 7 ～ 1 1 のいずれかに記載の画像処理装置。

【請求項 1 3】 前記画像表示装置が、液晶の表示部を有するものであることを特徴とする請求項 1 2 記載の画像処理装置。

【請求項 1 4】 前記画像表示装置が、プラズマディスプレイまたは電荷放出型デバイスの表示部を有するものであることを特徴とする請求項 1 2 記載の画像処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、様々なフォーマットを有する画像信号を所望のフォーマットの画像信号に変換する画像処理装置に関する。

【 0 0 0 2 】

【従来の技術】

近年のマルチメディア化に伴い、ディスプレイも多様な画像信号フォーマットのものを表示する機会が増えている。特に、以前は TV セットとパーソナルコンピュータ (P C) のディスプレイは全くの別物であったが、相互の融合化が進み、 P C の画像を表示できる TV や、 TV の信号を入力できる P C のディスプレイが現れてきた。また、デジタルテレビや M P E G などの新しいデジタルフォーマットの映像ソースの出現や 3 次元グラフィックスの高度化が進み、 P C 用ディスプレイといえども、動画を表示する割合が増加してきている。

【 0 0 0 3 】

図 6 に従来のごうしたディスプレイのブロック図を示す。同図において、 1 - 1 はアナログの画像信号の入力端子であり、 1 - 2 は入力信号の水平同期信号 (I H D) 入力端子であり、 1 - 3 は入力信号の垂直同期信号 (I V D) 入力端子である。 2 は A D コンバータであり、入力端子 1 - 1 に入力されるアナログの画

像信号を n ビットのデジタル信号に変換する。3 は入力系画像処理部、4 はメモリ制御部、5 は画像データを格納するメモリ部、6 は出力系画像処理部であり、7 は画像表示部である。20-1、20-2、20-3、20-4 は各部へ n ビットのデジタル信号を送信するデータバスである。21 はメモリの制御線およびアドレス線から構成される制御バスであり、22 はメモリのデータバスである。

【0004】

また、8 は PLL 回路であり、ICK は入力 IHD に同期した入力系クロックである。12 は発振回路であり、出力系クロック OCK を発生する。11 は H および V カウンタ回路であり、出力系クロック OCK から出力系水平同期信号 OHD および垂直同期信号 OVD を作成する。9 はマイクロコンピュータ (μ COM) 部であり、19 は各部を制御する m 本の制御バスである。

【0005】

デジタル画像信号はメモリ部 5 に格納される前に入力系画像処理部 3 で画質の調整や画像の縮小変換等の処理を行なわれ、メモリ制御部 4 に転送される。メモリ制御部 4 では入力同期信号 (IHD、IVD) と入力系クロック ICK に対応したタイミングでメモリ部 5 に画像データを格納するとともに、出力系のクロック OCK、水平同期信号 OHD および垂直同期信号 OVD のタイミングで画像データをメモリ部 5 から読み出し出力系画像処理部 6 にデータを転送する。画像処理部 6 では、画質の調整や、画像の拡大変換などが行なわれる。これにより、入力系の様々なフォーマットの入力画像をメモリを介在して画像表示部 7 に適したフォーマットの画像信号に変換している。

【0006】

図 7 に、図 6 のディスプレイにおいて、画像表示部 7 の解像度が XGA (横 1024 画素×縦 768 画素)、表示垂直周波数が 75 Hz である場合に、入力信号として①VGA (横 640 画素×縦 480 画素) 100 Hz、および②SVGA (横 800 画素×縦 600 画素) 60 Hz の画像信号が入力された場合の動作タイミングの例を示した。

【0007】

図 7 において、30、31 および 32 は入力が VGA 100 Hz の時の入力系

の垂直同期信号 IVD、水平同期信号 IHD およびクロック ICK を示す。垂直同期信号 IVD の 1 周期は $1/100\text{S}$ であり、かつブランキング期間の分 $\alpha 1$ を含んだ水平同期信号 IHD の $(480 + \alpha 1)$ 個分の期間である。また、水平同期信号 IHD は 1 周期がブランキング期間の分 $\beta 1$ を含んだ $(640 + \beta 1)$ CLK 分の期間である。

【0008】

33、34、35 は入力が SVGA 60Hz の時の IVD、IHD、ICK を示し、IVD は 1 周期が $1/60\text{s}$ であり、かつブランキング期間の分 $\alpha 2$ を含んだ $(600 + \alpha 2)$ IHD 分の期間である。また、IHD は 1 周期がブランキング期間の分 $\beta 2$ を含んだ $(800 + \beta 2)$ CLK 分の期間である。

【0009】

36、37 および 38 は出力が XGA 75Hz の時の出力系の垂直同期信号 OVD、水平同期信号 OHD およびクロック OCK を示す。OVD は 1 周期が $1/75\text{S}$ であり、かつブランキング期間の分 $\alpha 3$ を含んだ垂直同期信号 OHD の $(768 + \alpha 3)$ 個分の期間である。また、OHD は 1 周期がブランキング期間の分 $\beta 3$ を含んだ $(1024 + \beta 3)$ CLK 分の期間である。

【0010】

このように、入力系の IHD、IVD は解像度によって異なる周期をもち、また、マイコン部 9 はこの IHD、IVD などから解像度やフォーマットを判別して PLL 回路 8 の分周比を設定し、それぞれのフォーマットに相当した ICK を発生させる。一方、出力系は入力系の信号とは非同期で、出力クロック OCK からカウンタ回路 11 で一定のカウンタ値で作成された OHD、OVD で動作する。このようにして、入力系と出力系の垂直周波数つまり、画面の更新周波数（フレームレート）の変換が行なわれる。

【0011】

【発明が解決しようとする課題】

しかしながら、このフレームレート変換においては、図 8 に具体例を示すような動画像の画質劣化の問題点が存在する。ここでは、入力の垂直周波数と出力の垂直周波数の比が 5 : 4 の場合（例えば 100Hz と 80Hz など）を例として

示す。41は入力される連続した5枚(a～e)のフレーム画像、42は同じ期間に表示装置に出力される連続した4枚(f～1)のフレーム画像である。矢印が画面左から右方向へ移動する動画を表示している。

【0012】

同じメモリ領域に1画面を書き込みながら読み出しているため、(a)と(f)、(e)と(i)のようにたまたま1画面を書き換えるタイミングと読み出すタイミングが近い時は画面上に変化は現れないが、(g)、(h)のように画面を読み出している途中で画面が書き変わるタイミングになると、1画面の途中で前後の画面が切り替わり、動いている画像が画面の上下でずれてみえてしまう。これは“画像の追い越し”とよばれ、動画を表示する場合の画像の品位が落ちてしまう現象である。これは、逆に出力の垂直周波数が入力の垂直周波数より速い場合も同様の現象として現れる。

【0013】

この現象は、比較的画面に対して大きめの幾何学的な物体が水平に平行移動している時に目立ちやすいが、自然画などではあまり目立ちにくく、また、従来のPCはワープロ、表計算、描画といった静止画の用途が多いため、大きな問題にはならなかった。しかしながら、前述したようにPCといえども最近は動画を表示する機会が多くなり、また、幾何学的なグラフィックの移動する画面も多くなってきたため動画に対する要求も高くなってきている。

【0014】

このような問題の対策として、ダブルバッファリングという方法がある。これは、メモリ領域を1画面分ではなく、2画面分用意して1画面おきに交互にメモリ領域を切り換えて書き込むとともに、読み出しは画面の追い越しが起きないように、必ず読み出しているメモリ領域の走査が、そのメモリ領域の書込みの走査より先行する関係となるようにメモリ領域を選択するように制御する方法である。

【0015】

例えば、XGA(1024×768)の画素数のデータを格納する場合、図9のメモリマップに示すようにアドレス00000h～BFFFFhまでの第一の

メモリ領域に m 、 $m+2$ 、 $m+4 \cdots$ フィールドといった偶数番目のフィールドの入力画像を格納し、 $COOOOh \sim 17FFFFh$ までの第二のメモリ領域に $m+1$ 、 $m+3$ 、 $m+5 \cdots$ フィールドといった奇数番目のフィールドの入力画像を格納する。図 10 にこの時のメモリの書込みと読み出しの動作のタイミングチャートを示す。61 に入力 of 垂直同期信号 (IVD) を、64 に出力 of 垂直同期信号 (OVD) を示す。IVD 61 が入る度に m 、 $m+1$ 、 $m+2 \cdots$ というように入力フィールドが更新され、また OVD 64 が入る度に n 、 $n+1$ 、 $n+2 \cdots$ というように出力フィールドが更新される。62 に第一のメモリ領域の書込みが行なわれることを示す信号 (WE1) を、63 に第二のメモリ領域の書込みが行なわれることを示す信号 (WE2) を、65 に第一のメモリ領域の読み出しが行なわれることを示す信号 (RE1) を、63 に第二のメモリ領域の読み出しが行なわれることを示す信号 (RE2) を示す。ここでは、アクティブ High で示す。

【0016】

書込みは前述したように、入力フィールドの偶数番目と奇数番目で交互に第一と第二のメモリ領域に書き込まれるが、読み出しは書込み途中が表示されないフィールドを選択して読み出されている。ここでは、入力に対して出力側が垂直周波数が高いので出力 VD が High になった時の入力フィールドが第一のメモリ領域を書き込んでいる場合、第二のメモリ領域を読み出し、第二のメモリ領域を書き込んでいる場合、第一のメモリ領域を読み出すように制御して、追い越し現象が現れないようにしている。出力側の垂直周波数が低い場合は、入力の VD (IVD) と出力の VD (OVD) の関係をみながら、追い越しが起きないように制御する必要がある。いずれにしても、第一のメモリと第二のメモリの読み出しタイミングは入力と出力の周波数や、同期信号間の関係にあわせて、必ず読み出しているメモリ領域の走査が、そのメモリ領域の書込みの走査より先行する関係となるようにメモリ領域を切り換えるように設定される。

【0017】

しかしながら、このダブルバッファリング方式においても、以下に示すような動画上の問題点がある。

ダブルバッファリングの場合、現在書込み途中のメモリ領域を表示しないように、もう一方のメモリ領域を選択することから、例えば図 1 1 のように、入力画面 7 1 (a) ~ (d) までの人が片手をまわしているような連続した動きの画面がある場合に、7 2 (e) ~ (i) のようにフレームレートを変換された出力のうち (e) と (f) のように、同じ画像が 2 フィールド連続する“フレームの二重化”や、図 1 2 のように、入力画面 8 1 (a) ~ (d) のような画面がある場合に、8 2 (e) ~ (g) のようにフレームレートを変換された出力のうち (c) のように、相当するフィールドがなくなる“フレームの欠落”が生じてしまう。これらの現象は、連続した動きを不連続にして、ぎこちない映像になってしまうため、動きを重視する映像では問題となってしまう。

【 0 0 1 8 】

また、ダブルバッファリングとは別の方法で動画質を改善する方法としては、入力の垂直周波数と出力の垂直周波数を同期させる方法がある。XGA (1 0 2 4 × 7 6 8 画素) の表示部の場合、VGA (6 4 0 × 4 8 0) や SVGA (8 0 0 × 6 0 0) などの 5 0 H z の入力信号が入ってきた場合、XGA 5 0 H z に変換して表示を行ない、また、1 0 0 H z の入力信号が入ってきた場合は XGA 1 0 0 H z に変換して表示を行なう方法である。こうした場合、メモリの書込みと読み出しの周期が一致するため、動きの問題点は発生しない。ところが、入力の信号源が 5 0 H z など低い周波数の場合は、液晶のようにフィールド毎に極性を反転して表示している装置などの場合、同じ極性でみるとさらに半分の周波数となるため、画面の書き換え周期が遅くなり、面全体がちらついてみえるフリッカ現象となってしまう画質上の問題がある。また、1 0 0 H z のように速い周波数になると、VGA のように画素数が低い場合にはたいした速度でなくても、XGA の画素数の出力に変換すると入力の 2. 6 倍程度のスピードが要求されるため、出力系全体の動作速度を高くしなくてはならない問題点がある。例えば、XGA の 6 0 H z では 6 5 M H z 程度のクロックレートのものが、XGA 1 0 0 H z では 1 0 8 M H z 程度となり、1 0 0 M H z を越えてしまう。解決のためには、高い動作速度の部品の採用や新規な部品の開発、動作系統を分割して速度を下げるなどの回路構成にする必要などがあり、コストの上昇や回路規模の増大につな

がってしまう。

【0019】

本発明の目的は、安価かつ簡単な回路構成で動画像の画質を改善した画像処理装置を実現することにある。また、複数の入力信号源に対しても、柔軟に動画質に対して適した処理を行なえる画像処理装置を実現することにある。

【0020】

【課題を解決するための手段および作用】

上記の目的を達成するため本発明では、少なくとも1画面分の画像を記憶する記憶領域を有するメモリ部と、第一のクロックと第一の画像同期信号により、このメモリ部へ画像データを書き込むための入力系の動作を行ない、第二のクロックと第二の画像同期信号により、このメモリ部から読み出した画像データを出力する出力系の動作を行なうメモリ制御部と、前記第二のクロックを作成するクロック発生部と、第二のクロックを入力し前記第二の画像同期信号を出力する同期制御部とからなる画像処理装置において、前記同期制御部は、第二のクロックを分周して、第一の画像同期信号とは非同期の第三の画像同期信号と、第二のクロックにより、第一の画像同期信号を同期化して作成した第四の画像同期信号を作成するとともに、前記第三の画像同期信号と前記第四の画像同期信号を切り換えて、前記第二の画像同期信号として出力することを特徴とする。これらの第三の画像同期信号と前記第四の画像同期信号の切り換えは、例えば第一の画像同期信号の垂直周波数、または出力する画像の使用目的に応じて選択される。

【0021】

本発明は、さらに、複数の入力系信号処理部を有し、そこに入力される画像信号を適宜合成して表示する場合にも適用可能である。この場合、第一の画像同期信号に同期する第四の画像同期信号としては、複数の第一の画像同期信号のそれぞれに同期する複数の第四の画像同期信号を作成し、作成した複数の第四の画像同期信号と第一の画像同期信号とは非同期の第三の画像同期信号の中から1つの画像同期信号を選択し、前記第二の画像同期信号として出力する。この場合、第二の画像同期信号となる画像同期信号は、複数の第一の画像同期信号のうち適宜のものの垂直周波数、出力する画像の使用目的、または前記複数の入力系信号処

理部に入力する信号の動画の有無や割合等に応じて、前記第三の画像同期信号と前記第四の画像同期信号群の中の 1 つを選択すればよい。さらに、前記複数の入力系信号処理部に入力する信号源に対して、入力する画像信号を設定、あるいは再設定する要求を出力する手段を設け、前記第三の画像同期信号と前記第四の画像同期信号群の中から選択して出力する第二の画像同期信号に同期していない任意の入力信号源に対して、第二の画像同期信号に同期する要求を出力する構成とすることが好ましい。

【 0 0 2 2 】

本発明の画像処理装置は、C R Tをはじめ透過型、反射型の表示装置、液晶表示装置、P D P（プラズマディスプレイ）や電荷放出型表示装置などの画像表示装置、C C DやC M O S型の 2 次元撮像素子、およびビデオ信号のキャプチャボード等のデジタル画像処理を伴うあらゆる画像処理装置に適用可能である。

【 0 0 2 3 】

【実施例】

以下、本発明の実施例について、図面を用いて説明する。

（実施例 1）

本発明の第一の実施例の説明のためのブロック図を図 1 に示す。同図において、1 - 1 はアナログの画像信号の入力端子であり、1 - 2 は入力信号の水平同期信号（I H D）入力端子であり、1 - 3 は入力信号の垂直同期信号（I V D）入力端子である。2 は A D コンバータであり、入力されたアナログ画像信号を n ビットのデジタル信号に変換する。3 は入力系画像処理部、4 はメモリ制御部、5 は画像データを格納するメモリ部、6 は出力系画像処理部であり、7 は画像表示部である。2 0 - 1、2 0 - 2、2 0 - 3、2 0 - 4 は各部へ n ビットのデジタル信号を伝送するデータバスである。2 1 はメモリの制御線とアドレス線から構成される制御バスであり、2 2 はメモリのデータバスである。

【 0 0 2 4 】

また、8 は P L L 回路であり、I C K は入力水平同期信号 I H D に同期したクロックである。1 2 は発振回路であり、出力系クロック O C K を発生する。9 はマイクロコンピュータ（ μ C O M）部であり、1 9 は m 本の、各部を制御する制

御バスである。

【 0 0 2 5 】

デジタル画像信号はメモリ部 5 に格納される前に入力系画像処理部 3 で画質の調整や画像の縮小変換等の処理を行なわれ、メモリ制御部 4 に転送される。メモリ制御部 4 では入力同期信号 (I H D、 I V D) と入力系クロック I C K に対応したタイミングでメモリ部 5 に画像データを格納するとともに、出力系クロック O C K、水平同期信号 O H D、垂直同期信号 O V D のタイミングで画像データをメモリ部 5 から読み出し、出力系画像処理部 6 にデータを転送する。画像処理部 6 では、画質の調整や、画像の拡大変換などが行なわれるのは図 6 の従来例と同様である。

【 0 0 2 6 】

図 1 においては、1 0 が同期制御部であり、出力のフレームレートを決定するブロックである。ここには、入力の同期信号 I H D、 I V D と出力系クロック O C K が入力し、出力系の水平同期信号 O H D、垂直同期信号 O V D と書込みフィールド制御信号 W E と読み出しフィールド制御信号 R E を出力する。また、これらの制御をマイコンのバス 1 9 によりコントロールする。

【 0 0 2 7 】

図 2 にこの同期制御部 1 0 の回路構成例を示す。

図 2 において、9 0 1 は O C K をカウントする H カウンタであり、9 0 2 は O H D をカウントする第一の V カウンタであり、9 0 4 は I H D をカウントする第二の V カウンタであり、9 0 5、9 0 6、9 0 7 はカウンタ 9 0 1、9 0 2、9 0 4 それぞれの出力をデコードして任意のパルスを作成する第 1、第 2、第 3 のデコーダである。9 0 3 と 9 1 0 は D 入力フリップフロップ (D - F F) である。また、9 0 8 および 9 0 9 は入力のパルスを切り換えて出力する第一および第二のスイッチ (S W 1 および S W 2) である。また、9 1 1 は論理を反転するインバータである。また、9 1 2 が I H D の、9 1 3 が I V D の、9 1 4 が O C K の入力端子であり、9 1 5 が O H D の、9 1 6 が O V D の、9 1 7 が R E の、9 1 8 が W E の出力端子である。また、9 1 9、9 2 0 がマイコンの制御バスのうち、各 S W を切り換える信号線の入力端子であり、9 2 1、9 2 2、9 2 3 は第

1 ～ 第 3 のデコーダの値を設定するためのマイコンの制御バスの入力端子である。

【 0 0 2 8 】

また、9 2 5、9 2 6、9 2 7 は各カウンタのクロック入力端子であり、9 3 0、9 3 1、9 3 2 は各カウンタのクロックのイネーブル端子であり、9 3 4、9 3 5、9 3 6 は各カウンタの出力端子である。9 5 0 は H カウンタのリセット端子である。また、出力端子 9 3 4、9 3 5、9 3 6、9 3 7 は各デコーダの入力端子にも接続しており、9 3 8、9 3 9、9 4 0 は各デコーダの出力端子である。

【 0 0 2 9 】

また、9 2 8、9 2 9 は各 D - F F 9 0 3、9 1 0 のクロック端子であり、9 3 3 はクロックのイネーブル端子、9 4 1、9 4 2 は D - F F の入力端子である。また、9 4 3、9 4 4 は D - F F の非反転出力端子であり、9 5 2 は反転出力端子である。

【 0 0 3 0 】

9 4 7、9 4 8 は第一のスイッチ 9 0 8 の入力端子 I N 1、I N 2 であり、9 4 9 は出力端子である。9 4 0、9 4 5、9 4 6 は第二のスイッチ 9 0 9 の入力端子 I N 3、I N 4、I N 5 であり、9 5 1 は出力端子である。

【 0 0 3 1 】

ここで、H カウンタ 9 0 1 とデコーダ 9 0 5 で O C K をカウントおよびデコードして O H D を作成し、9 1 5 から出力するとともに、作成した O H D を第一の V カウンタ 9 0 2 とデコーダ 9 0 6 でカウントおよびデコードして第一のスイッチの入力端子 9 4 7 に結果を出力する。一方、入力した I V D は D - F F 9 0 3 を通過し、第一のスイッチ 9 0 8 の入力端子 9 4 8 に入力する。入力端子 9 4 7 と 9 4 8 に入力した信号は、端子 9 1 9 に入力されるマイコンからの制御信号により動作モードによって選択、切り換えされて、どちらか一方が端子 9 1 6 に O V D として出力される。

【 0 0 3 2 】

また、D - F F 9 0 3 の出力は D - F F 9 1 0 のイネーブル端子 9 3 3 にも入

力し、端子 9 3 3 に I V D が入力する度に極性が反転するメモリ書き込み信号 W E を端子 9 1 8 に出力する。また、このメモリ書き込み信号 W E とその反転論理信号とが、メモリ読み出し信号の候補信号として第二のスイッチ 9 0 9 の入力端子 9 4 5、9 4 6 に入力する。さらに I H D のカウンタ 9 0 4 と O H D のカウンタ 9 0 2 との両者の出力結果をデコーダ 9 0 7 でデコードして、両者の関係で定まる信号もメモリ読み出し信号の候補信号として第二のスイッチ 9 0 9 の入力端子 9 4 0 に入力し、端子 9 2 0 へのマイコンからの制御信号にしたがって、動作モードによってこの 3 入力の 1 つが選択されて、メモリ読み出し信号 R E として端子 9 1 7 から出力される。

【0 0 3 3】

この実施例における、入力信号の周波数に対する動作モードと第一および第二のスイッチの切り換えて出力される信号との対応表を表 1 に、またその時のタイミングチャートを図 3 に示す。

【0 0 3 4】

【表 1】

入力垂直周波数	出力 V 同期	ダブルバッファリング	SW1	SW2
$f < 60\text{Hz}$	入力非同期	○	IN1	IN4
$60\text{Hz} \leq f \leq 80\text{Hz}$	入力同期	×	IN2	IN5
$80\text{Hz} < f$	入力非同期	○	IN1	IN3

表 1 には、入力信号の垂直周波数の範囲に対して、出力の垂直周波数が入力信号に同期しているかどうかと、ダブルバッファリングするかどうか、およびその動作を実現するための図 2 における S W 1、S W 2 の切換出力する信号を示している。

【0 0 3 5】

また、図 3 において A 1、A 2、A 3、A 4、A 5 はそれぞれ入力垂直周波数が 1 0 0 H z、8 0 H z、7 5 H z、6 0 H z、5 0 H z のときの入力垂直同期

信号 I V D であり、A 6、A 7 は入力周波数が 8 0 H z のときの出力垂直同期信号と出力水平同期信号である。A 8、A 9 は入力周波数が 7 5 H z のときの出力垂直同期信号と出力水平同期信号である。A 1 0、A 1 1 は入力周波数が 6 0 H z のときの出力垂直同期信号と出力水平同期信号である。A 1 2、A 1 3 は入力周波数が 5 0 H z のときと 1 0 0 H z のときの出力垂直同期信号と出力水平同期信号である。

【 0 0 3 6 】

本実施例では、使用頻度の高い 6 0 H z から 8 0 H z までの垂直周波数の入力信号に対応して出力の垂直同期信号 O V D を入力の垂直同期信号 I V D に同期させるモードを、それ以外の入力信号については、入力の垂直同期信号には無関係に出力の垂直同期信号を発生させるモードを選択する構成をとっている。

【 0 0 3 7 】

このため、6 0 H z から 8 0 H z までの垂直周波数の入力信号に対応しては、ダブルバッファリングを用いず（用いてもかまわない）、入力の垂直同期と同期させる方法で動画に対して追い越し、フレームの二重化、欠落のない画質を実現している。このとき、第一のスイッチは I N 2 側、第二のスイッチは I N 5（I N 4 でも可）を選択する。

【 0 0 3 8 】

また、6 0 H z 未満の場合は、フリッカ防止のため、S W 1 を I N 1 側としてダブルバッファリングによる動画質の改善を行ない、入力に対しては非同期とする。入力の垂直周波数が出力の周波数より低い場合は、書込みメモリ領域と反対のメモリ領域を読み出しフィールドとすればメモリ読み出し走査を書込み走査が追い越すことはないので、S W 2 を I N 4 側としている。

【 0 0 3 9 】

一方、8 0 H z 以上では出力系の動作スピードを抑えるために、S W 1 を I N 1 側としてダブルバッファリングによる動画質の改善を行ない、入力に対しては非同期とする。入力の垂直周波数が出力の周波数より高い場合は、書込みメモリ領域と反対のメモリ領域を読み出しフィールドとしてもメモリ読み出し走査を書込み走査が追い越すことがあるので、S W 2 を I N 3 側として、入力の I H D と

出力のOHDの関係から追いつきが生じないタイミングでメモリ読み出し信号を出力している。

【0 0 4 0】

このとき、図1の発振器(OSC)12の周波数は、出力系の最高垂直周波数であるXGA80Hzの時のクロック周波数にあわせて設計される。すなわち、
 $1 \text{ フィールド} = 1 \text{ V 期間} = 1 \text{ S} / 80 = 12.5 \text{ mS}$ であるから、例えば、 $1 \text{ V} = (768 + \alpha) \text{ H} = 808 \text{ H}$ として $1 \text{ H 期間} = 15.5 \mu \text{ S}$ 、 $1 \text{ H} = (1024 + \alpha) \text{ CLK} = 1344 \text{ CLK}$ として $1 \text{ CLK} = 11.5 \text{ nS}$ となり、発振器12の周波数は、 $1 / 11.5 \text{ nS} = 87 \text{ MHz}$ となる。図3において、A2の80HzのIVDが入力した場合、その出力OVD=IVDとなり、OVDの1周期間のIHDは $768 + \alpha = 808$ 個に設定される。

【0 0 4 1】

また、A3、A4の75Hz、60HzのIHDが入力した場合、対応するOHDであるA8、A9はIHDと同周期になり、また、OVDの1周期間のOCKおよびOHDの周期は一定に保たれるため、OVD1周期間のOHD数が比例して増加する。この $768 + \alpha = 808$ 本を越える分の期間についてはブランキング期間が増加すると考えて表示部を駆動している。

【0 0 4 2】

一方、入力IHDが100HzのA1や50HzのA5の場合は、入力と非同期に出力の垂直周波数を設定するため、A12のOVD、A13のOHDに示すように80Hzの時と同じOVD、OHD周期でかつ、入力と非同期に自走させている。60～80Hzという周波数は、現行のPCやWS(ワークステーション)やDTV(デジタルテレビ)等、最も広く普及している周波数帯である一方、TVからの動画の映像ソースもNTSCが60Hzのため、この範囲に入ってくるため使用頻度が非常に高く動画を最優先させる意味は高い。

【0 0 4 3】

一方、50Hzなど、低い周波数のフリッカ現象は、動画、静止画に関らず非常に見づらい画質劣化となる点から、ダブルバッファリングのような簡易的に動画に強い方式をとる方法で、フリッカ防止と動画画質向上を両立させている。

【0044】

また、100Hzのように高い垂直周波数の信号に関しては、100MHzを超える動作速度が回路的な負担が大きいことを重視し、ダブルバッファリングのような簡易的に動画に強い方式をとる方法で、コスト削減と安定動作を動画画質向上と両立させている。特に液晶やPDPなどの表示素子は駆動電圧が10数Vから数十Vという高電圧が必要とされるため、1画素あたりの速度が高速化すると、映像信号系やドライバ回路が非常に高い動作帯域やスルーレートが必要とされる。現状においても、こうした高い速度の駆動に対しては追従できない部分を、複数に分割駆動しているが、さらなる出力系の高速化は高速な部品への変更、新規部品の開発、分割数の変更などの回路変更によるコストアップばかりでなく回路の動作マージンを狭くし、安定的な動作を困難にする要因となる。また、この問題はSXGAやUXGAといった、現状よりもさらに数倍画素数の多い表示素子などを駆動する場合に、特に重要になる。将来の高画素化のためにも、コスト削減と安定動作が動画画質向上と両立できる点が重要になってくる。

【0045】

本実施例のような構成をとることで、システムの全体の動作として、動画に強い構成をとり、特に使用頻度の高い垂直周波数帯で動画の問題のない動作を実現し、また、その他の垂直周波数帯では簡易的に動画に強い動作を行なうことで回路構成の簡素化、安価化を実現している。

【0046】

ここでは、使用頻度の高い垂直周波数帯域以外の周波数をダブルバッファリングさせたが、ダブルバッファリングは、メモリ領域を倍必要とすること、またそのための制御回路部分が必要となるため、機能として省くことも考えられる。特定の垂直周波数帯域は入力垂直周波数に同期させる一方で、その帯域以外の使用頻度は低いと判断し、製品として動作はするが、動画質は改善しない単なる非同期な動作に切り換えることも安価な製品を提供する意味で本発明のひとつの形態である。

【0047】

また、本実施例では、入力信号の垂直周波数により、出力系を入力系と同期さ

せるか非同期とするかを選択したが、本発明は出力系を入力系と同期させるか非同期とするかを選択する回路を有することが特徴であり、切り換える基準は入力信号の垂直周波数以外にも、入力信号のフォーマットのほかの項目であったり、システムの動作モードであったり、ユーザー設定などによる場合も含んでいる。実施例 2 は、このような基準として、動画か静止画かを選択の基準にした例を示す。

【0048】

(実施例 2)

実施例 1 では、入力信号の垂直周波数によって出力系の V 同期を入力同期信号に同期させるか非同期にするかを切り換える例を示したが、実施例 2 では、動作目的や用途で入力同期信号に同期させるか非同期にするかを切り換える例を示す。図 4 に実施例 2 のブロック図を示す。

【0049】

ここでは、入力系が 2 系統になり、メモリ制御部で合成している。これは、図 5 に示すように、例えば画面全体 (C 1) に PC のグラフや表などの出力画面を表示して、子画面部 (C 2) に TV 電話の画像などの動画を出力するなどの、異なる入力源の合成画面を想定した回路構成である。こうした場合、両者の信号には一般的に同期関係がない。また、動画か静止画かは接続される入力源によって多種多様な組み合わせとなる。

【0050】

図 4 において 3-1 は入力 A 系統の画像処理部であり、1-4 は q ビットのデジタルの画像信号の入力端子であり、1-5 は入力信号の水平同期信号 (IHD 1) 入力端子であり、1-6 は入力信号の垂直同期信号 (IVD 1) 入力端子、1-7 は入力信号の同期クロック (ICK 1) 入力端子である。また、3-2 は入力 B 系統の画像処理部であり、1-8 はアナログの画像信号の入力端子であり、1-9 は入力信号の水平同期信号 (IHD 2) 入力端子であり、1-10 は入力信号の垂直同期信号 (IVD 2) 入力端子である。2 は AD コンバータであり、B 系統のアナログ信号を n ビットのデジタル信号に変換する。4-2 はメモリ制御部、5 は画像データを格納するメモリ部、6 は出力系画像処理部であり、7

は画像表示部である。20-5、20-6はqビットのデジタル信号のデータバスであり、20-7、20-8はnビットのデジタル信号を伝送するデータバスである。また、20-9、20-10はrビットのデジタル信号を伝送するデータバスである。21はメモリの制御線とアドレス線から構成される制御バスであり、22はメモリのデータバスである。

【0051】

さらに、1-11、1-12はそれぞれ入力A系統、B系統のDDC (Display Data Cannel)端子であり、ディスプレイの情報を入力信号源に伝える端子である。

なお、DDCは、VESA (Video Electronics Standards Association) により規格化されたコンピュータ用ディスプレイとホストシステム間の通信の標準である。

また、8はPLL回路であり、ICK2は入力B系の水平同期信号IHD2に同期したクロックである。12は発振回路であり、出力系クロックOCKを発生する。9はマイクロコンピュータ (μ COM) 部であり、19はm本の、各部を制御する制御バスである。

【0052】

デジタル画像信号はメモリ部5に格納される前に入力系画像処理部3-1、3-2で画質の調整や画像の縮小変換等の処理を行なわれ、メモリ制御部4-2に転送される。また、入力系画像処理部3-1、3-2では動き検出も行ない、その結果をマイコンのバス19を介してマイコン9に送る。メモリ制御部4では入力同期信号 (IHD1、IHD2、IVD1、IVD2) と入力系クロックICK1、ICK2に対応したタイミングでメモリ部5に画像データを格納するとともに、出力系クロックOCK、水平同期信号OHD、垂直同期信号OVDのタイミングで画像データをメモリ部5から読み出し、出力系画像処理部6にデータを転送する。画像処理部6においては、図6の従来例と同様に、画質の調整や、画像の拡大変換などが行なわれる。

【0053】

図4において、10-2が同期制御部であり、出力のフレームレートを決定す

るブロックである。ここには、2系統の入力系同期信号 I H D 1、I V D 1、I H D 2、I V D 2 と出力系クロック O C K 1 8 が入力し、出力系の水平同期信号 O H D および垂直同期信号 O V D と書込みフィールドの制御信号 W E と読み出しフィールド制御信号 R E とを出力する。また、これらの制御をマイコンのバス 1 9 によりコントロールする。

【 0 0 5 4 】

ここで、1 0 - 2 の動作例を表 2 に示す。実施例 1 同様、出力の垂直同期信号をスイッチを用いて、入力に同期か非同期かを切り換える。実施例 1 と異なるのは、入力が 2 系統になった点と、周波数によって同期関係を切り換えるほかに、入力源 2 系統の動画と静止画の状態によって同期関係を切り換える点である。

【 0 0 5 5 】

【表 2】

動作モード	出力 V 同期 (OVD)
入力 A が動画	入力 IVD1 に同期
入力 B が動画	入力 IVD2 に同期
入力 A、B 共に動画	IVD1 と IVD2 の 速い周期側に同期
マニュアル設定	IVD1 と IVD2 に 同期か、非同期を選択

前述の入力の画像処理部 3 - 1、3 - 2 の動き検出の結果をうけて、マイコン部 9 からの制御信号により、表 2 のように動作モードを切り換える。一方が動画で一方が静止画の場合は、動画のほうの入力垂直同期信号に O V D を同期させる。また、2 系統とも動画の場合には、I V D 1 と I V D 2 を比較し速い周期の垂直同期信号に O V D を同期させる。また、据置の T V 会議システムなど、A 系統が P C で B 系統が T V 出力などのように用途が固定している場合には、マニュアル設定で A 系統の I V D 1 に同期させるか、B 系統の I V D 2 に同期させるか、A、B ととも非同期に O V D を発生させるかを決定できるようにしてある。

【 0 0 5 6 】

さらに、本実施例では、DDCなどのディスプレイ側の情報をPCなどの入力信号源に伝える制御線を用いて、以下に述べる制御も行なう。すなわち、最初状態で、一方のみが動作し、一方が接続されていない場合、例えばB系統のみが接続、動作しているとすると、同期制御部10-2は実施例1同様、IVD2に対してOVDを表1のような動作に設定する。

【0057】

次に、後から1系統が接続される場合に（この場合A系統）、マイコンは現在のOVD周期と同じ垂直周波数の信号をA系統のDDC端子1-11を介し入力信号源に対して要求する。これを受けたA系統の入力信号源は、要求された垂直周波数の信号に設定を行ない、結果として入力2系統とも同じ周波数となり、両方の画像が動画に対して強い出力設定にすることが可能にできる。

【0058】

また、新規のA系統がDDCを受け付けない場合は、マイコン部が判断を行ない、後に接続されたA系統のIVD1に同期した設定に出力同期OVDを再設定する一方、このOVD周期と同じ垂直周波数の信号をB系統のDDC端子1-12を介してB系統の入力信号源に対して要求する。これを受けたB系統の入力信号源は、要求された垂直周波数の信号に再設定を行ない、入力2系統が同じ周波数に設定される。

【0059】

このような構成をとることで、複数の異なる周期の入力信号が混在するシステムにおいても、出力系の構成は1系統のクロックで動作させながら、動画に強い構成を簡単で安価な回路構成で実現することができる。

【0060】

【発明の効果】

以上説明したように、本発明によれば、出力系を入力系の垂直同期信号に対して同期、非同期にすることを切換可能として、垂直周波数などの入力信号のフォーマットによって選択することにより、システムの全体を動画に強い構成として、特に使用頻度の高い垂直周波数帯で動画の問題のない動作を実現し、また、その他の垂直周波数帯では簡易的に動画に強くかつ画質上の問題の解決と動作マ-

ジンを確保し安定な動作を行なうことを両立する画像処理装置を簡素で安価に実現することができる。また、将来的にもU X G A等、現状よりも更に数倍画素数の多い信号処理用途で、容易に同様の構成で安価で動画に強い回路を実現できる。また、複数の異なる周期の入力信号が混在するシステムにおいても、複数の入力系の垂直同期信号に対して出力系を同期、非同期にすることを切替可能として、また、その結果を用いて任意の入力信号源の垂直周波数の設定を行なえるように構成することにより、出力系の構成は1系統のクロックで動作させながら、複数の入力系統間と出力の同期関係を最適化して、システム全体を動画に強い構成でかつ簡単で安価な回路構成にすることができる。

【図面の簡単な説明】

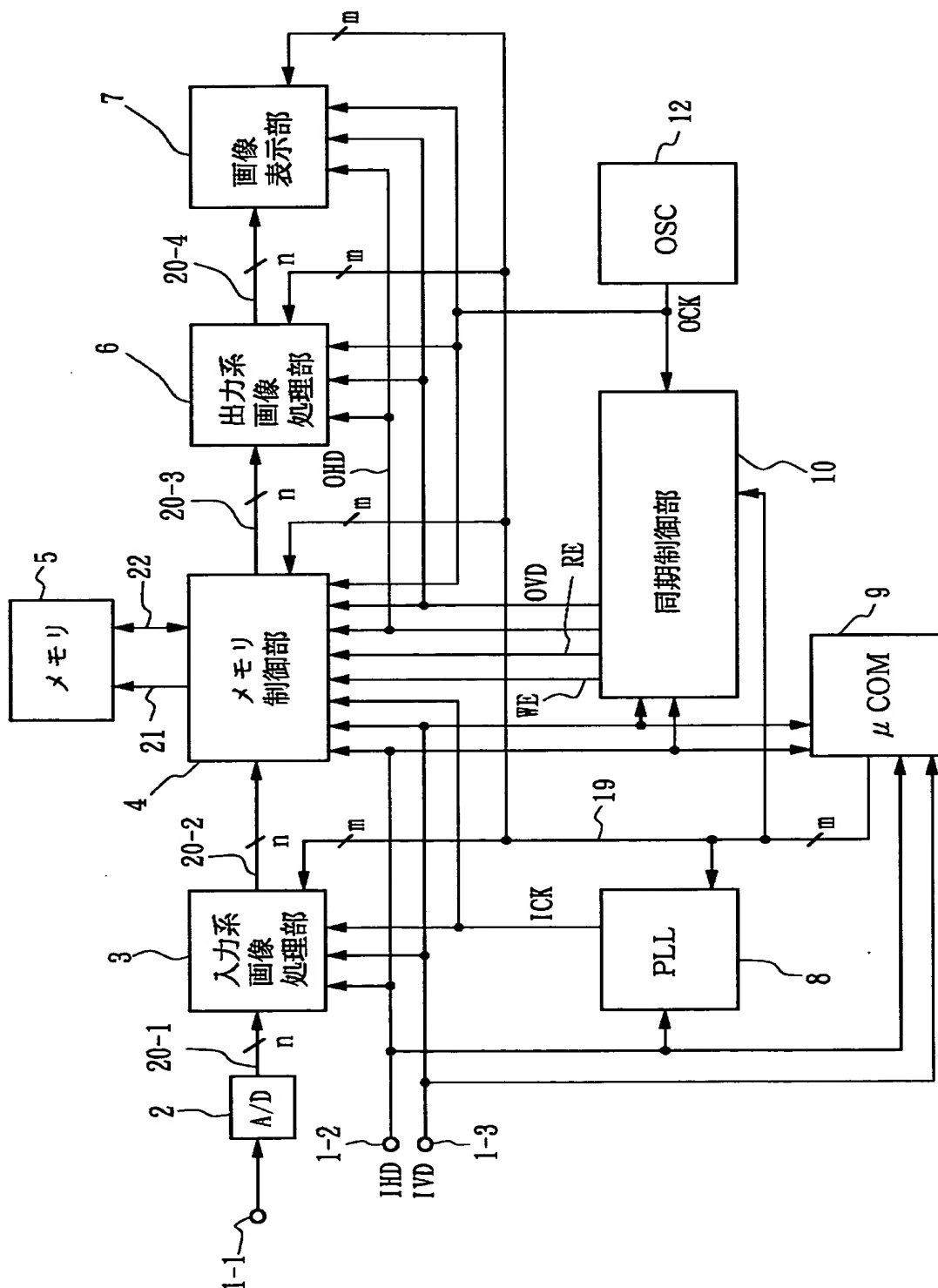
- 【図 1】 本発明の第 1 の実施例に係る画像処理装置のブロック図である。
 - 【図 2】 図 1 の装置における同期制御部の構成図である。
 - 【図 3】 図 1 の装置の動作を説明するためのタイミングチャートである。
 - 【図 4】 本発明の第 2 の実施例に係る画像処理装置のブロック図である。
 - 【図 5】 図 4 の装置における画像表示例である。
 - 【図 6】 従来例を説明するための、画像処理装置のブロック図である。
 - 【図 7】 図 6 の従来例における画像処理装置の動作を示したタイミングチャートである。
 - 【図 8】 図 6 の従来例における動画での問題点の説明図である。
 - 【図 9】 ダブルバッファリングを行なう時のメモリ領域を示す図である。
 - 【図 1 0】 ダブルバッファリングにおける画像処理装置の動作を示したタイミングチャートである。
 - 【図 1 1】 ダブルバッファリングにおける動画での問題点の説明図である。
 - 【図 1 2】 ダブルバッファリングにおける動画での問題点の説明図である。
- 【符号の説明】 3, 3 - 1, 3 - 2 : 入力系画像処理部、4 : メモリ制御部、5 : メモリ部、6 : 出力系画像処理部、7 : 画像表示部、8 : P L L、9 : マイコン、1 0、1 0 - 1 : 同期制御部、1 2 : 発振器（第二クロック発生部）

、 I C K , I C K 1 , I C K 2 : 入力系クロック (第一のクロック)、 I H D , I H D 1 , I H D 2 : 入力系水平同期信号 (第一の画像同期信号)、 I V D , I V D 1 , I V D 2 : 入力系垂直同期信号 (第一の画像同期信号)、 O C K : 出力系クロック (第二のクロック)、 O H D : 出力系水平同期信号 (第二の画像同期信号)、 O V D : 出力系垂直同期信号 (第二の画像同期信号)、 R E : 読み出しフィールド制御信号、 W E : 書込みフィールド制御信号。

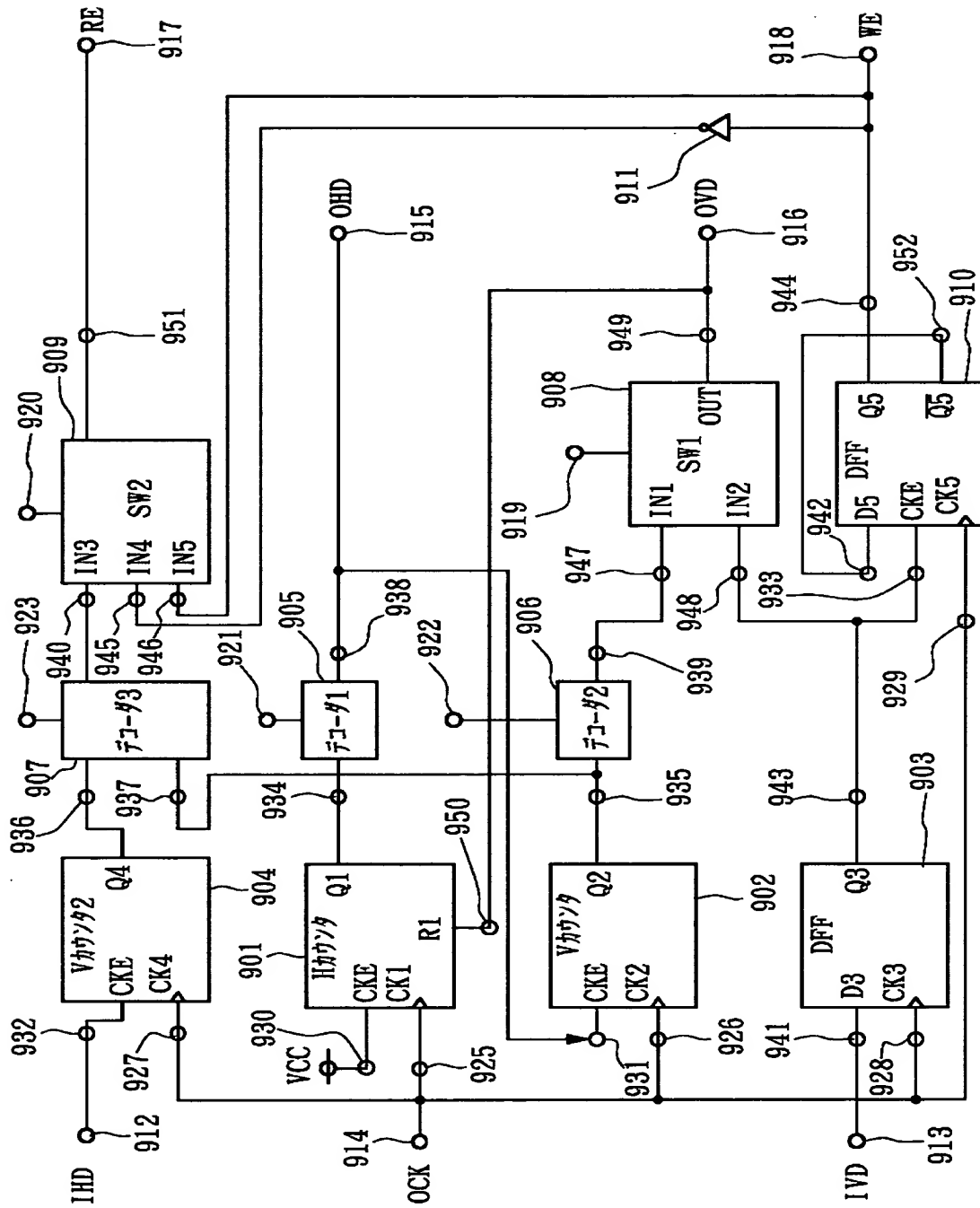
【書類名】

図面

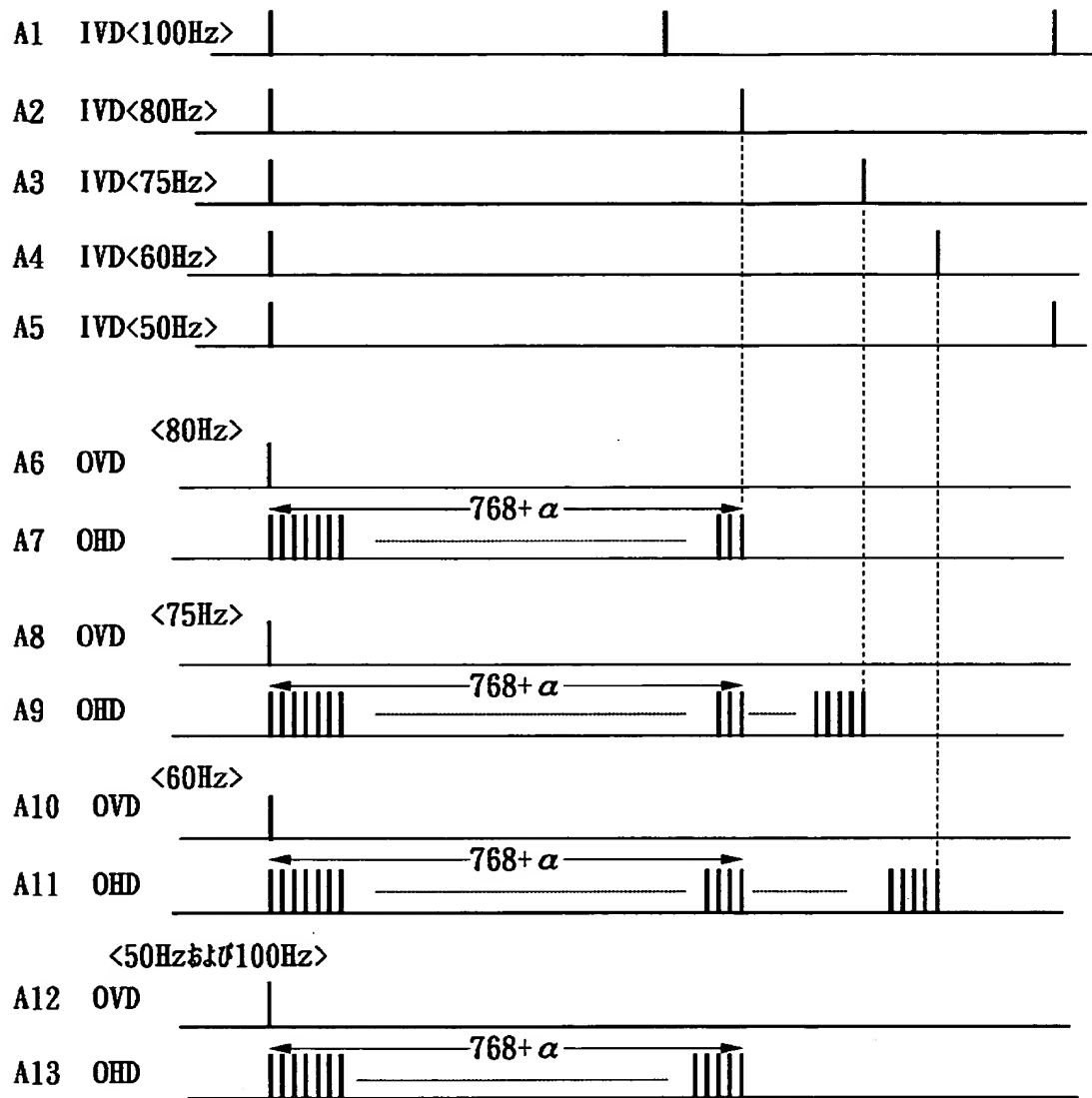
【図 1】



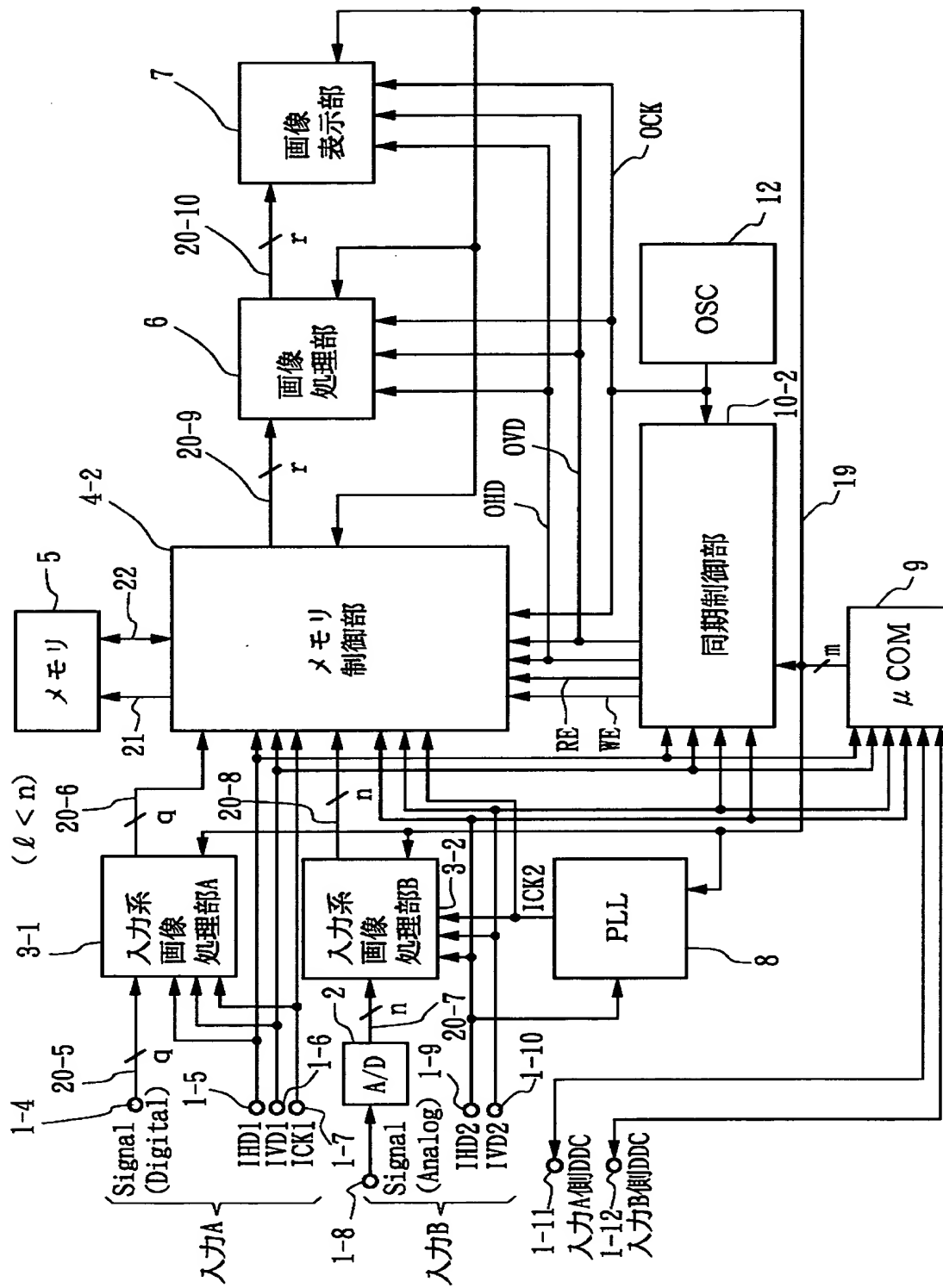
【図 2】



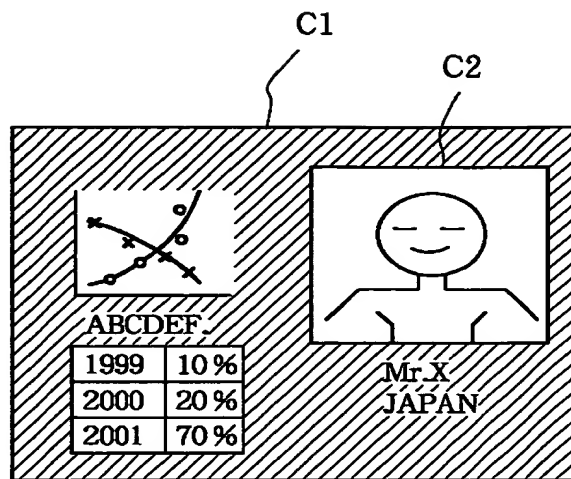
【図 3】



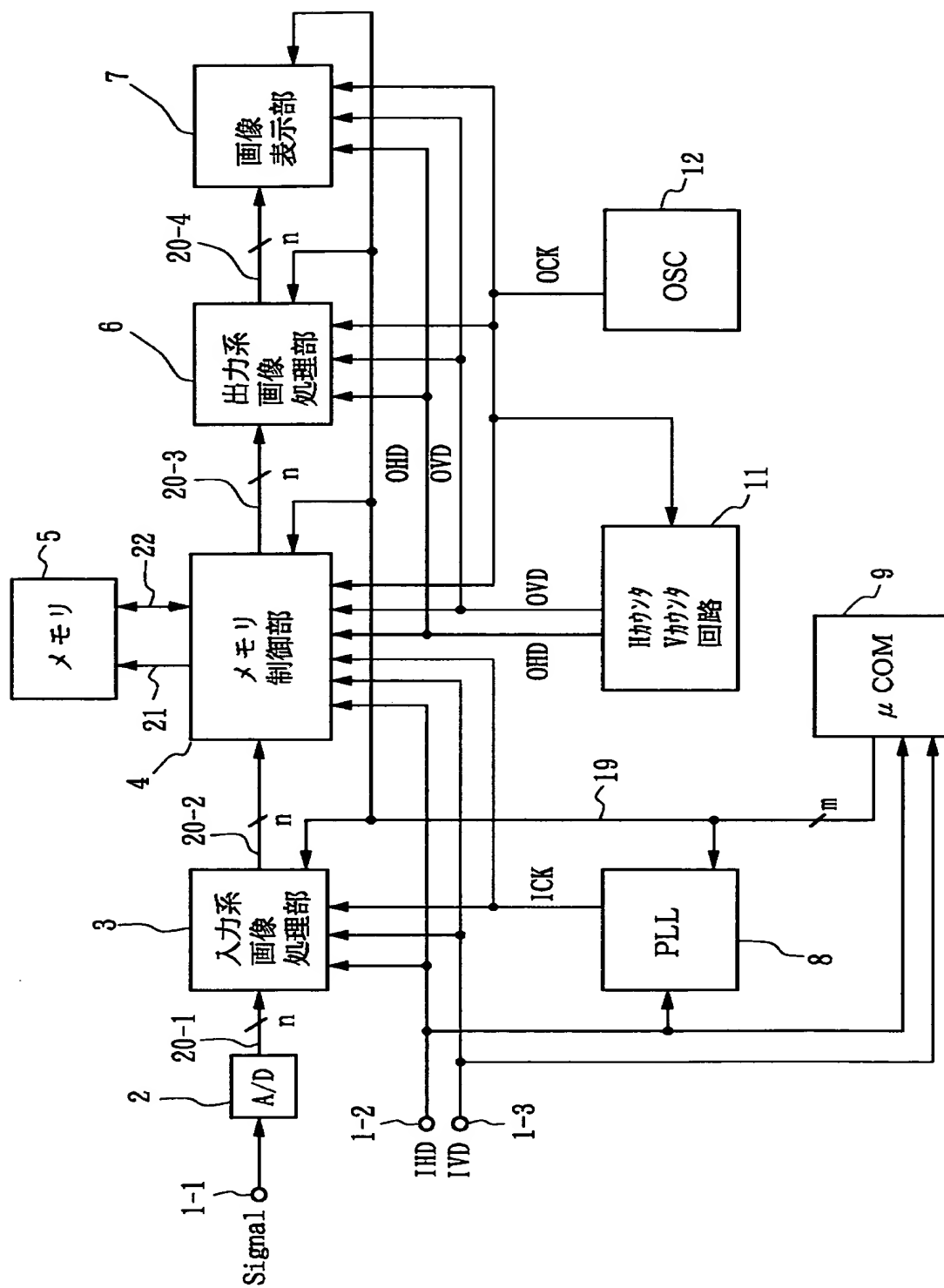
【図 4】



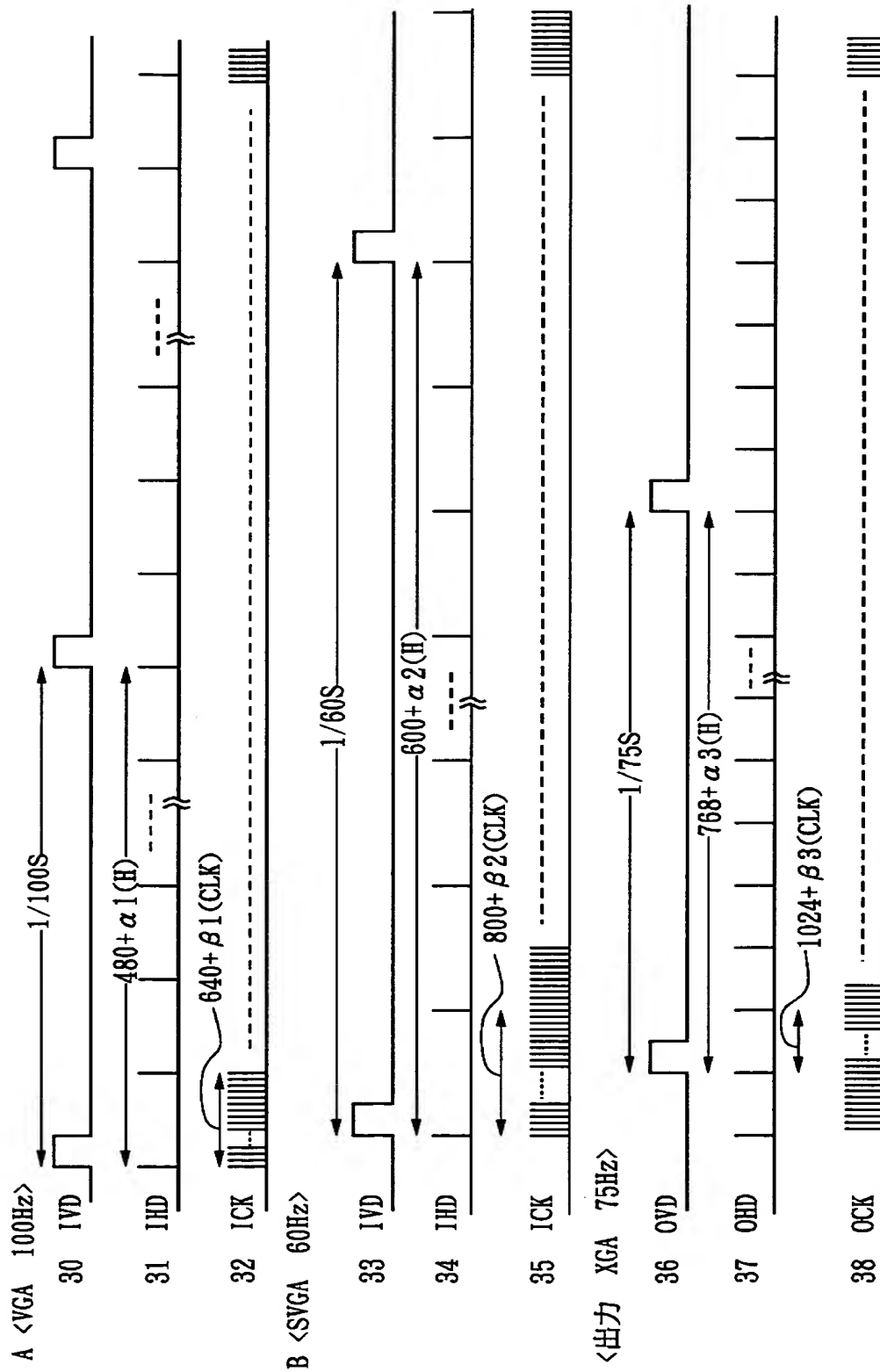
【図 5】



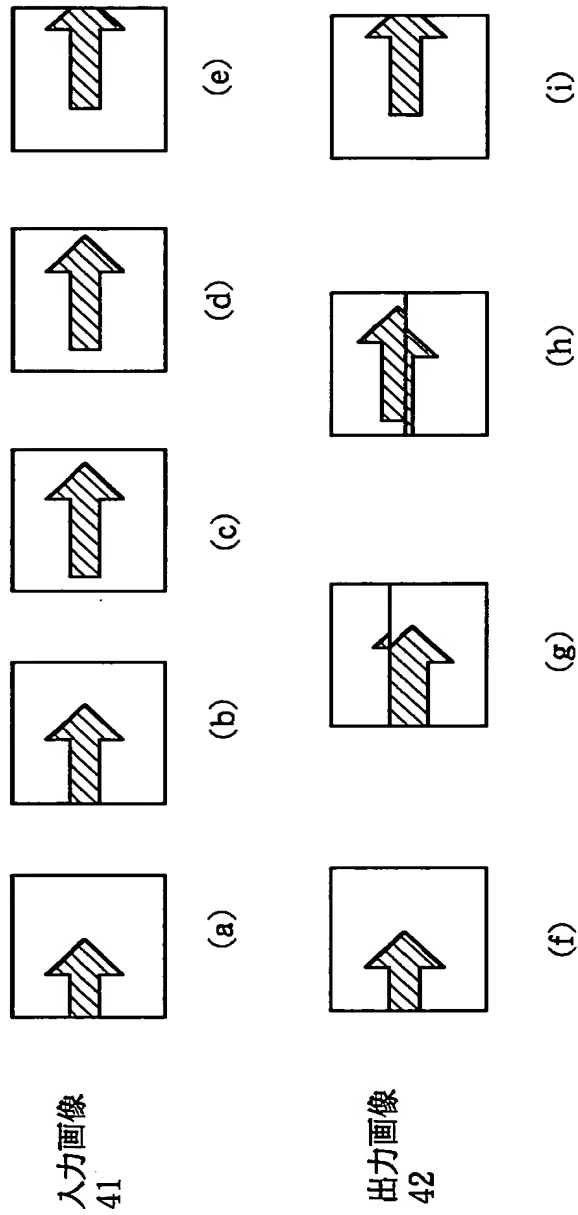
【図 6】



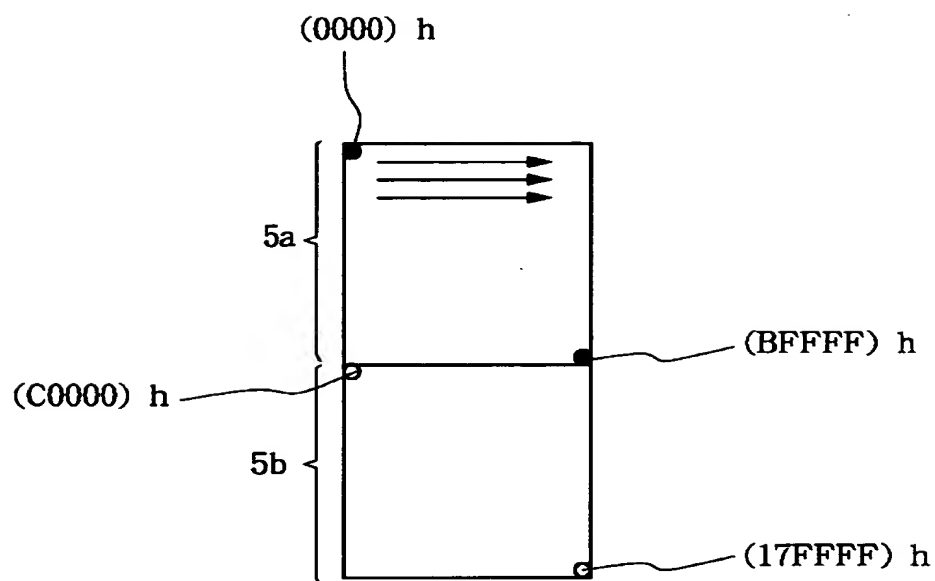
【図 7】



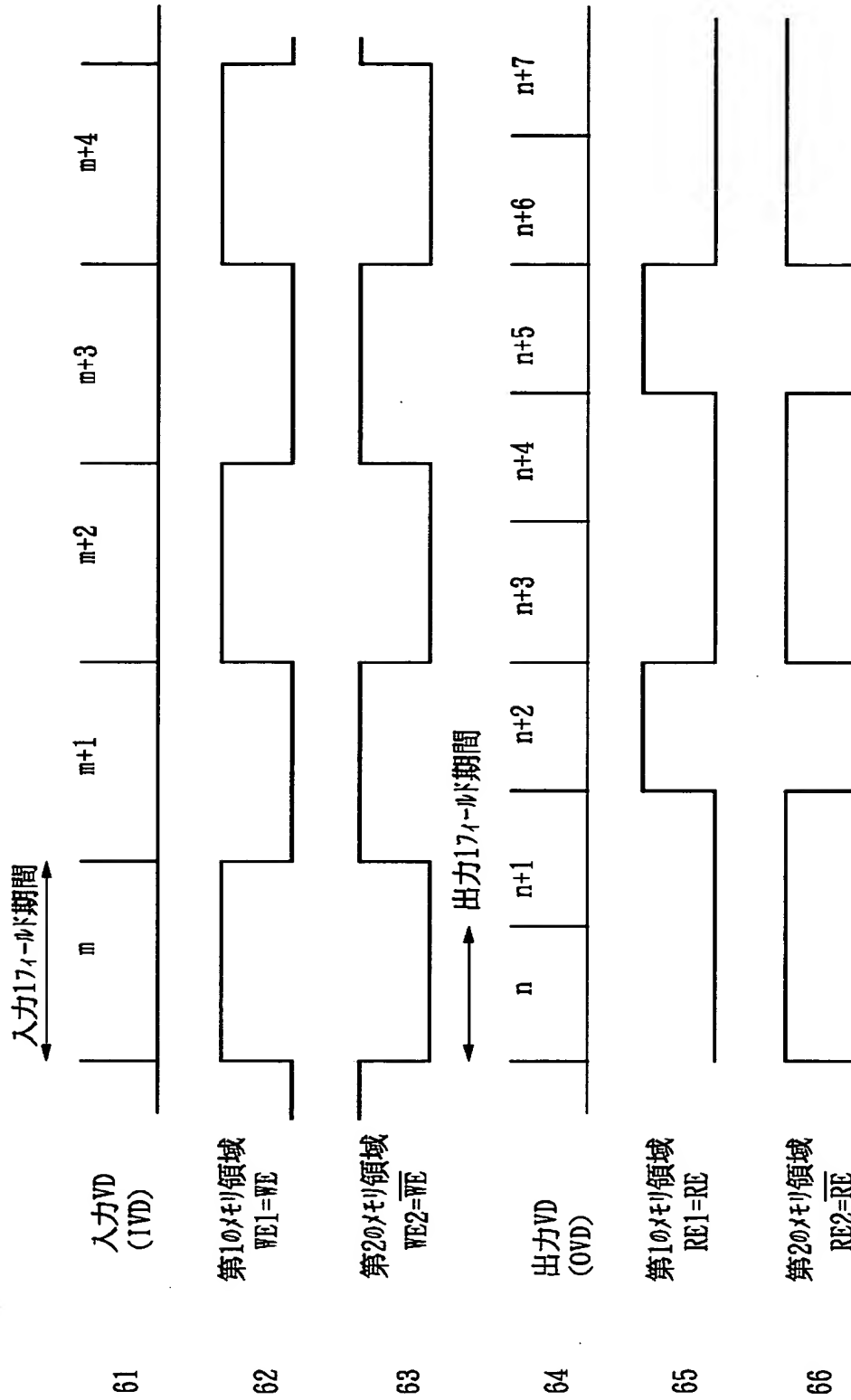
【図 8】



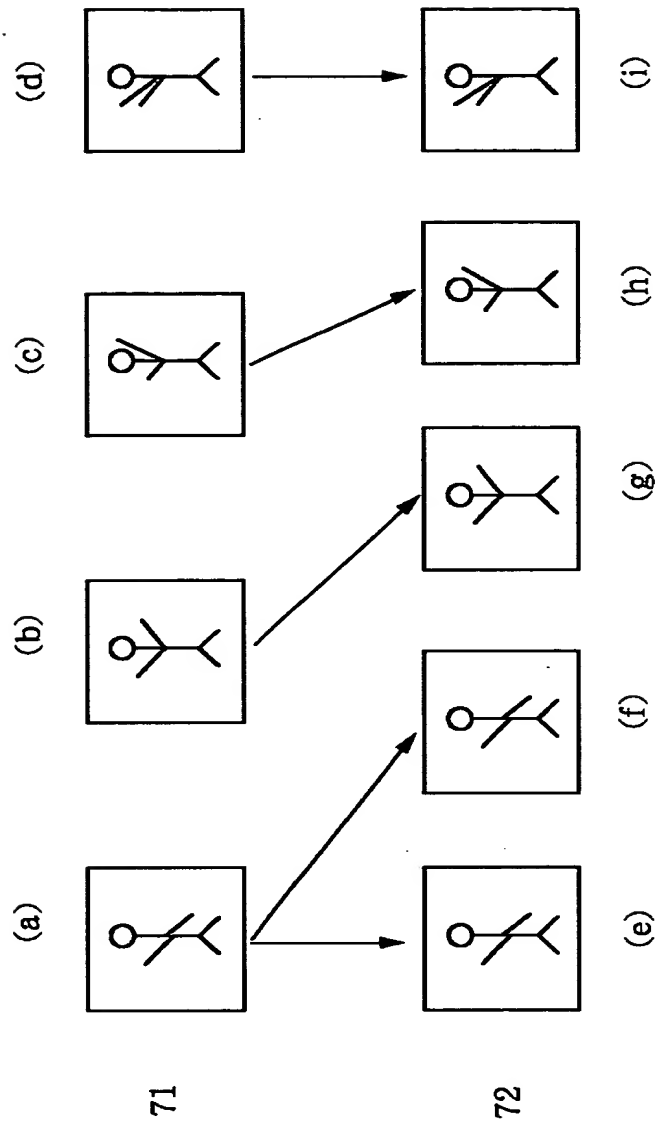
【図 9】



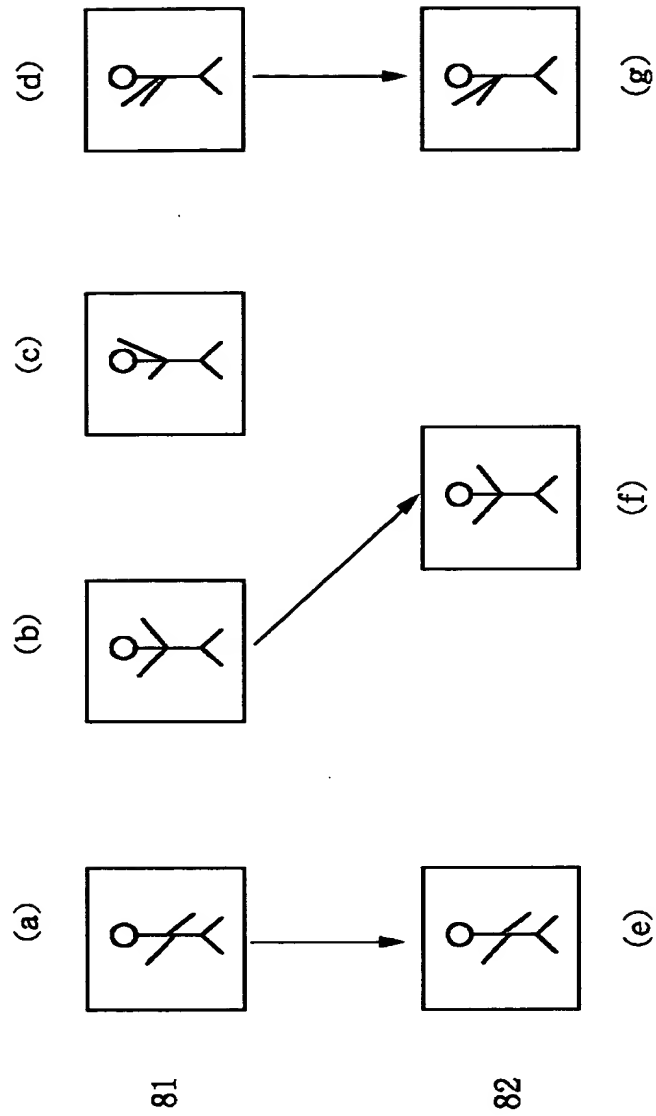
【図 1 0】



【图 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 安価かつ簡単な回路構成で動画像の画質を改善する。また、複数の入力信号源に対しても、柔軟に動画質に対して適した処理を行う。

【解決手段】 少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、第一のクロックと第一の画像同期信号により、このメモリ部へ画像データを書き込むための入力系の動作を行い、第二のクロックと第二の画像同期信号により、このメモリ部から読み出した画像データを出力する出力系の動作を行うメモリ制御部と、前記第二のクロックを作成するクロック発生部と、第二のクロックを入力し前記第二の画像同期信号を出力する同期制御部とからなる画像処理装置において、前記同期制御部は、第二のクロックを分周して、第一の画像同期信号とは非同期の第三の画像同期信号と、第二のクロックにより、第一の画像同期信号を同期化して作成した第四の画像同期信号を作成するとともに、第三の画像同期信号と第四の画像同期信号の中から 1 つを選択し、前記第二の画像同期信号として出力する。入力画像信号は複数であってもよく、その場合、同期制御部は入力画像信号の数に応じた数の第四の画像同期信号を作成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社